


## FIRMWARE EXECUTING ADDRESS TRACER

Patent Number: JP3240839  
Publication date: 1991-10-28  
Inventor(s): SHIRASAKA ICHIRO  
Applicant(s):: NEC CORP  
Requested Patent:  JP3240839  
Application Number: JP19900038903 19900219  
Priority Number(s):  
IPC Classification: G06F11/28  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:**To attain the effective use of an address trace memory by comparing the contents of an address trace memory with an execution address at detection of a conditional branch instruction and inhibiting the write of the execution address into the address trace memory when the coincidence of comparison is secured via an address comparison part.

**CONSTITUTION:**An address computing element 7 subtracts the relative branch information included in a conditional branch instruction, i.e., the difference value between the present execution address and a branch destination address from the write counter value and outputs the result of this contraction to a read counter 4. An address comparator 8 compares the contents of an address trace memory 6 pointed by a read counter with a microprogram address. A coincidence signal is outputted to a write control part 10 in order to inhibit the transmission of a write signal and also to inhibit the count-up operation of a write address counter 5 as long as the coincidence of addresses is secured via the comparator 8.

---

Data supplied from the esp@cenet database - 12

日本国特許庁(JP)

⑩特許出願公開

⑩公開特許公報(A)

平3-240839

⑨Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

④公開 平成3年(1991)10月28日

G 06 F 11/28

310 B

7165-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑨発明の名称 ファームウェア実行アドレストレサ

⑨特 願 平2-38903

⑨出 願 平2(1990)2月19日

⑨発 明 者 白 坂 一 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑨出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑨代 理 人 弁理士 内 原 晋

#### 明 細 書

#### 1. 発明の名称

ファームウェア実行アドレストレサ

#### 2. 特許請求の範囲

マイクロプログラム制御回路の実行アドレスのトレースを行うためのファームウェア実行アドレストレサにおいて、

実行アドレスのトレースを記憶するアドレ스트レースメモリと、

該アドレストレースメモリへの書込みアドレスを指示するためのアドレスカウンタと、

マイクロ命令が条件付分岐命令であることを検出するコマンドデコーダと、

現在の実行アドレスから分岐先のアドレスとの差分を算出し、前記アドレスカウンタに保持しているアドレス値からこの差分の減算を行うアドレス演算部と、

該演算結果を設定し前記アドレストレースメモ

リの読取アドレスを生成する読取アドレスカウンタと、

前記コマンドデコーダの条件付分岐命令を検出した後に前記読取アドレスカウンタが示す番地の前記アドレストレースメモリの内容とマイクロプログラムの実行アドレスとの比較を行うアドレス比較部と、

該アドレス比較部での比較結果が等しい場合、前記アドレストレースメモリへの実行アドレスの書込を禁止する書込制御部とを有することを特徴とするファームウェア実行アドレストレサ。

#### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマイクロプログラムの制御回路の実行アドレスのトレースを行うためのファームウェア実行アドレストレサに関する。

〔従来の技術〕

従来、この種のアドレストレサはトレース開始指示があったアドレスからトレース停止指示が

あった区間のファームウェア実行アドレスの記録を行っている。しかし記録を行うメモリの容量には制限があるため、メモリ一量一杯に書き込まれた場合は、一番古く書き込まれたメモリ番地から順次上書きされるような構造となっている。

#### 〔発明が解決しようとする課題〕

上述した従来のファームウェア実行アドレストレーサは、ファームウェアがループしている部分も判断しないで無条件にトレースメモリに記録を行うため、アドレストレースを行う区間にこのループがあるとアドレストレースには不必要なループの記録が多数トレースメモリ内に残り、本来必要なトレース記録がアドレストレースメモリの容量の制限で残らないという欠点がある。

#### 〔課題を解決するための手段〕

本発明のトレーサは、マイクロプログラム制御回路の実行アドレスのトレースを行うためのファームウェア実行アドレストレーサにおいて、実行アドレスのトレースを記憶するアドレストレースメモリと、

該アドレストレースメモリへの書き込みアドレスを指示するためのアドレスカウンタと、

マイクロ命令が条件付分岐命令であることを検出するコマンドデコーダと、

現在の実行アドレスから分岐先のアドレスとの差分を算出し、前記アドレスカウンタに保持しているアドレス値からこの差分の減算を行うアドレス演算部と、

該演算結果を設定し前記アドレストレースメモリの読取アドレスを生成する読取アドレスカウンタと、

前記コマンドデコーダの条件付分岐命令を検出した後に前記読取アドレスカウンタが示す番地の前記アドレストレースメモリの内容とマイクロプログラムの実行アドレスとの比較を行うアドレス比較部と、

該アドレス比較部での比較結果が等しい場合、前記アドレストレースメモリへの実行アドレスの書き込みを禁止する書き込み制御部とを有することを特徴とする。

#### 〔実施例〕

第1図は本発明の一実施例のブロック図である。

クロック1は、マイクロプログラム制御部に使用されている基本クロックである。アドレス2はマイクロプログラム制御部のマイクロプログラムアドレスである。

インストラクション3はマイクロプログラム制御部のマイクロコードである。リードカウンタ4はクロック1によりカウントアップしアドレストレースメモリから読出す番地を指示する。ライトカウンタ5はクロック1によりカウントアップしアドレストレースメモリにマイクロプログラムアドレスを書込む番地を指示する。

アドレストレースメモリ6はマイクロプログラムアドレスの記録を行う。

アドレス演算器7は条件付分岐命令のインストラクション内の相対分岐情報（現在の実行アドレスから分岐先アドレスの差を示す）の値をライトカウンタ値より減算しリードカウンタ4に出力する。アドレス比較器8はリードカウンタにより指

示されたアドレストレースメモリ6の内容とマイクロプログラムアドレスとの比較を行う。

コマンドデコーダ9はインストラクションが条件付分岐命令であることを判断する。書き込み制御部10はコマンドデコーダ9及びアドレス比較器8の出力からアドレストレースメモリ6への書き込み信号を生成する。

トレースデータ出力11はアドレストレースメモリ6からのトレースデータの読出しに使用する。リセット12はリードアドレスカウンタ4及びライトアドレスカウンタ5のリセットをマイクロプログラム制御部から指示するために使用される。

#### 次に本発明の動作について説明する。

インストラクション3が条件付分岐命令以外のときは、書き込み制御部10から書き込み信号が出力され、マイクロプログラムアドレス2がライトアドレスカウンタ5で指示されるアドレストレースメモリ6の地に書き込まれる。ライトアドレスカウンタ5はクロック1によりカウントアップされ順次マイクロプログラムアドレス2が書き込まれる。

コマンドデコードが条件付分岐命令を検出すると、インストラクション内の現在の実行アドレスと分岐先アドレスの差を示す値とライトアドレスカウンタの値がアドレス演算器7に入力されリードアドレスが生成される。リードアドレスはリードアドレスカウンタ4に設定されこの出力でアドレストレースメモリ6の読出しが行われる。

アドレストレースメモリ6から読出されたデータはアドレス比較器8でマイクロプログラムアドレス2との比較が行われる。この比較が一致している間は、書き込み制御部10に一致信号を出力し書き込み信号の送出を禁止すると共にライトアドレスカウンタ5のカウンタアップをも禁止する。これによりファームウェアのループ部分がアドレストレースメモリ6に書き込みが禁止される。

アドレストレースメモリ6の内容を読出す場合は、リセット12によりリードアドレスカウンタをリセットしクロック1により順次カウンタアップすることによりトレースデータ出力11から読出すことが出来る。

マンドデコード、10……書き込み制御部、11……トレースデータ出力、12……リセット。

代理人 弁理士 内 原 晋

#### 【発明の効果】

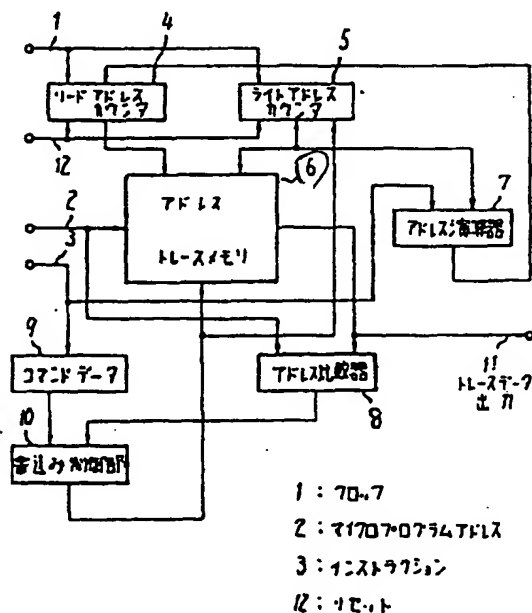
以上説明したように本発明は、条件付分岐命令検出時アドレストレースメモリの内容と実行アドレスを比較することにより、ファームウェアのループしているアドレストレースがアドレストレースメモリ内に記録されることを禁止する。

これにより、限られた容量しかないアドレストレースメモリを有効に使用することが可能となる。また障害等でファームウェアのループでストールしているような場合でもループする以前の有効トレース情報をアドレストレースメモリに残すことが可能となる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図である。

1……クロック、2……マイクロプログラムアドレス、3……インストラクション、4……リードアドレスカウンタ、5……ライトアドレスカウンタ、6……アドレストレースメモリ、7……アドレス演算器、8……アドレス比較器、9……コ



第1図